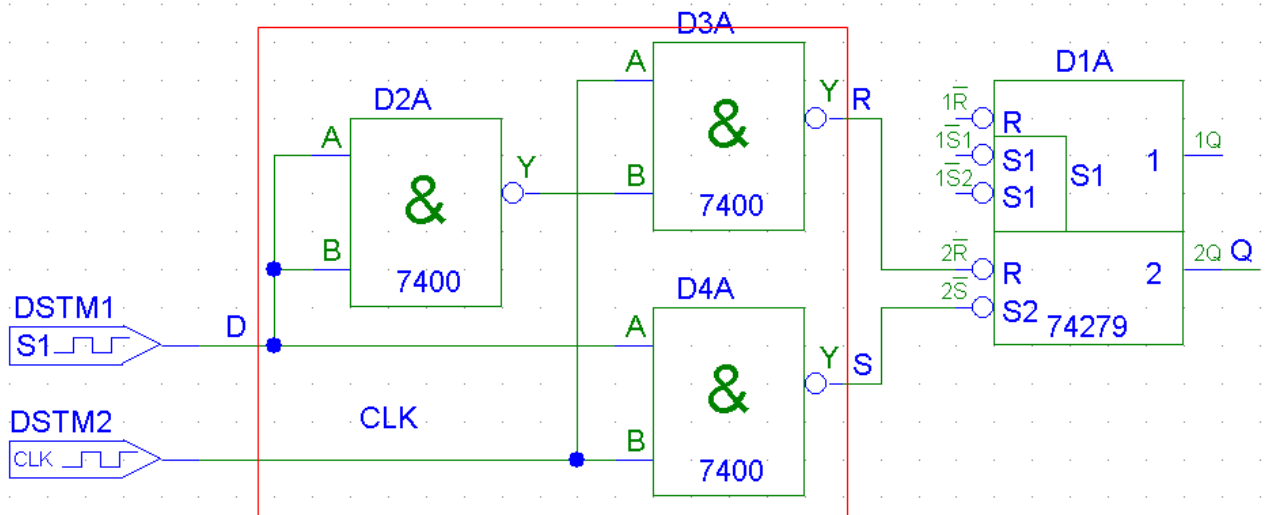


D-Flip-Flop

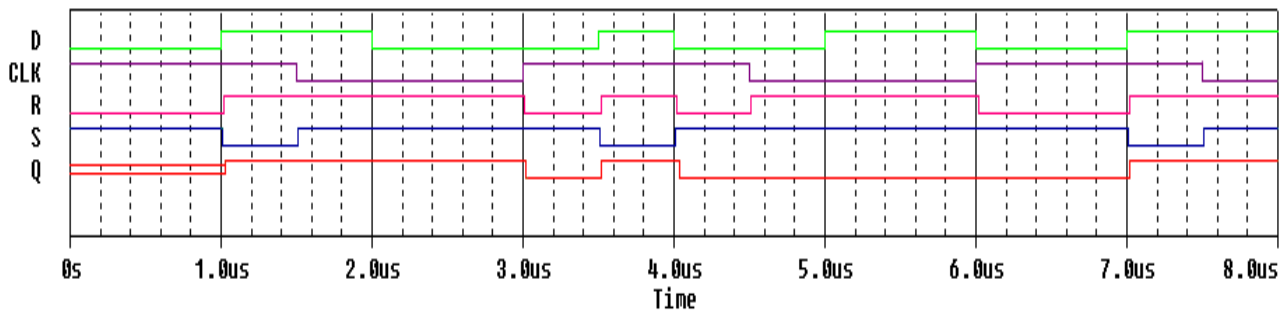
Allgemeines

Ein D-Flip-Flop besitzt nur einen D- und einen CLK-Eingang. Auch hier unterscheiden wir zwischen taktzustands- und taktflankengesteuerten D-Flip-Flop's.

Taktzustandgesteuertes D-Flip-Flop



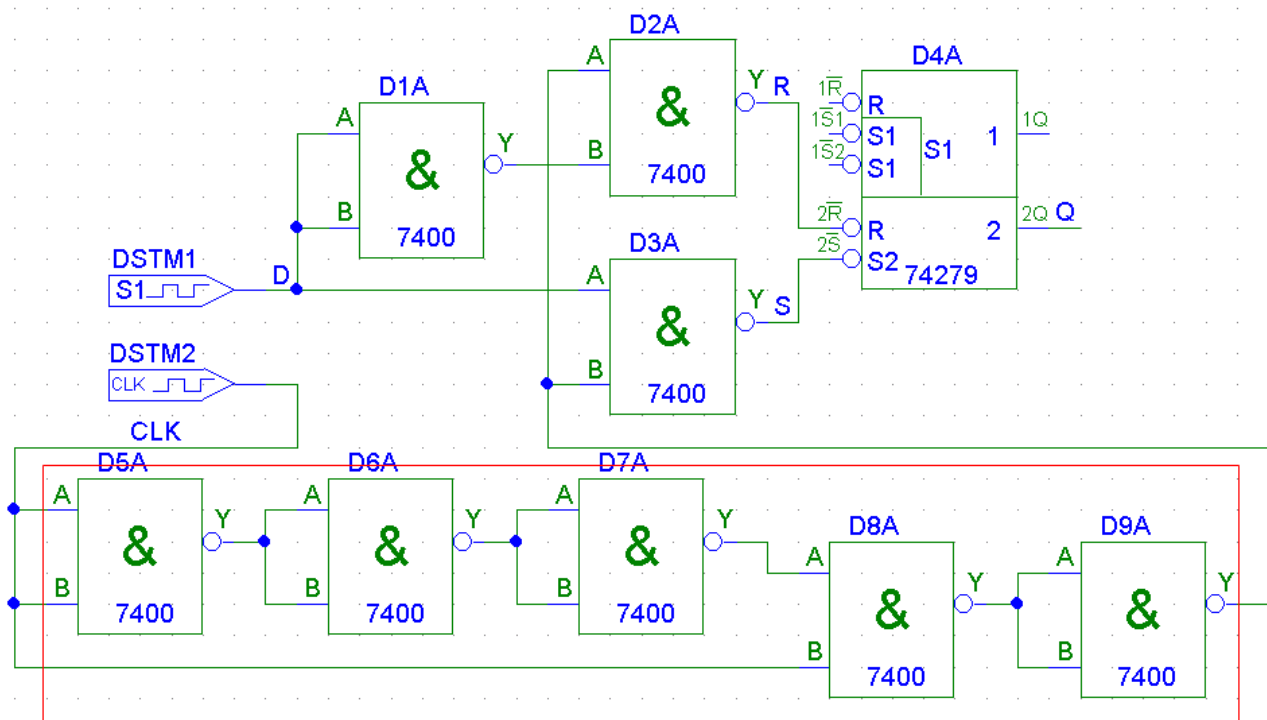
Auswertung D- und CLK-Eingang
Umsetzung auf R und S



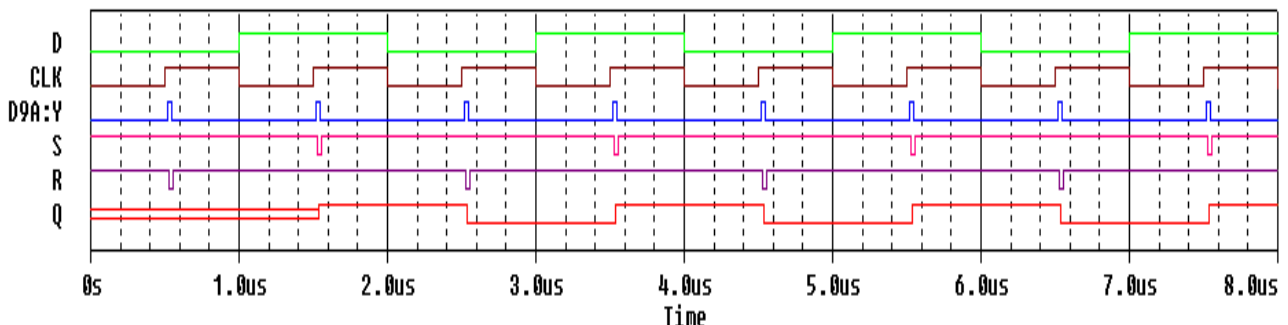
Wie aus dem Diagramm zu ersehen ist, werden die Zustände des D-Einganges nur während des HIGH-Zustandes des CLK-Einganges direkt an den Ausgang weitergeleitet. Ist CLK LOW werden keine Signale an den Ausgang weitergeleitet.

Der undefinierte Zustand von zwei Nullen an den R- und S-Eingängen wird durch das Nicht-Glied D2A verhindert.

Taktflankengesteuertes D-Flip-Flop



Umsetzung von Taktzustand auf Taktflanke



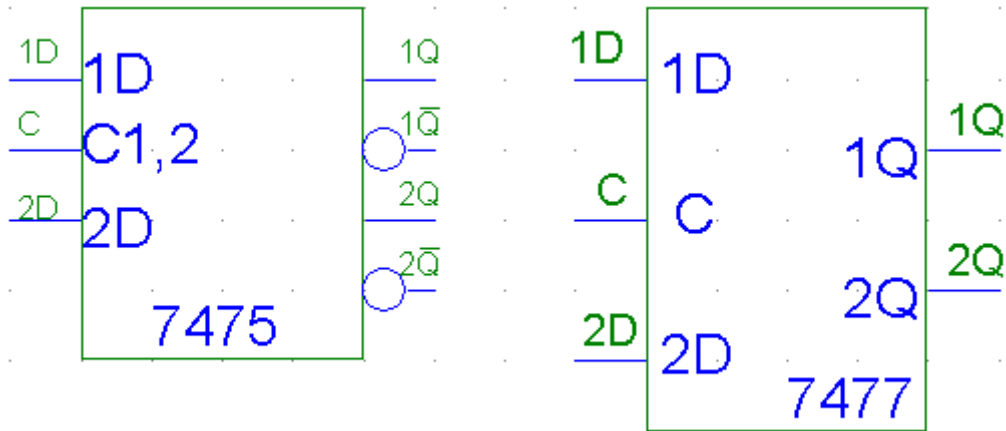
Hier haben wir den gleichen Aufbau wie beim taktzustandsgesteuerten D-Flip-Flop. Die Schaltung wird lediglich durch eine Zusammenschaltung von NICHT- und UND-Gliedern erweitert, was oben durch die rote Umrandung verdeutlicht wird.

Durch die Umschaltverzögerung der einzelnen Glieder erhalten wir einen Nadelimpuls von ca. 25 ns. Dieser Impuls reicht aus, um das nachgeschaltete RS-Flip-Flop zu setzen bzw. zurück zu setzen. Wird ein längerer Impuls benötigt, so muß die Schaltung um jeweils zwei NICHT-Glieder erweitert werden. Es ist darauf zu achten, dass immer eine ungerade Anzahl an NICHT-Gliedern am Anfang der Schaltung liegt, damit wir den gewünschten Nadelimpuls erhalten.

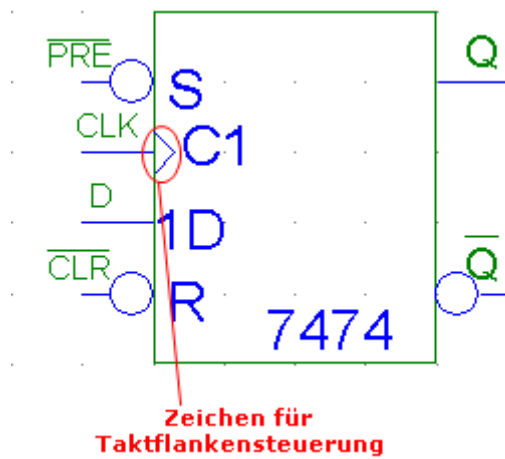
Der Vorteil dieser Schaltung ist, dass äußerliche Störeinflüsse vermieden werden können.

D-Flip-Flop's in PSPICE

Taktzustandsgesteuertes D-Flip-Flop



Taktflankengesteuertes D-Flip-Flop



Die S- und R-Eingänge sind invertierend und taktunabhängig!